

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

平1-152744

⑫ Int.Cl.

H 01 L 21/82  
G 11 C 11/34  
H 01 L 27/04

識別記号

3 4 5

庁内整理番号

7925-5F  
8522-5B

A-7514-5F ※審査請求 未請求 発明の数 1 (全12頁)

⑬ 発明の名称 半導体集積回路装置

⑭ 特 願 昭62-313010

⑮ 出 願 昭62(1987)12月10日

⑯ 発明者 秋元 一泰 東京都青梅市今井2326番地 株式会社日立製作所デバイス開発センタ内

⑯ 発明者 宇佐美 正己 東京都青梅市今井2326番地 株式会社日立製作所デバイス開発センタ内

⑯ 発明者 萩上 勝己 東京都青梅市今井2326番地 株式会社日立製作所デバイス開発センタ内

⑯ 発明者 村山 浩 神奈川県秦野市堀山下1番地 株式会社日立製作所神奈川工場内

⑰ 出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑱ 代理人 弁理士 德若 光政

最終頁に続く

明細書

1. 発明の名称

半導体集積回路装置

2. 特許請求の範囲

1. 複数ビットの記憶容量を持つメモリ回路とそれを制御する論理回路とを含み、上記メモリ回路を中心として伝達すべき信号の種類に応じて論理回路を分割するとともに、それぞれの信号伝達経路が最短距離となるように各論理回路を最適配置することを特徴とする半導体集積回路装置。

2. 上記伝達すべき信号の種類は、アドレス信号、書き込みデータ、読み出しデータ及び制御信号からなるものであることを特徴とする特許請求の範囲第1項記載の半導体集積回路装置。

3. 上記分割されて配置される論理回路のうち、外部端子とデータの授受を行うものは、その配置に合わせて外部端子が近接して設けられるものであることを特徴とする特許請求の範囲第1又は第2項記載の半導体集積回路装置。

4. 上記半導体集積回路装置は、フルカスタムの半導体集積回路装置であることを特徴とする特許請求の範囲第1、第2又は第3項記載の半導体集積回路装置。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、半導体集積回路装置に関するもので、例えば、RAM (ランダム・アクセス・メモリ) とそれを制御する論理回路とからなるフルカスタムの半導体集積回路装置を利用して有効な技術に関するものである。

(従来の技術)

ゲートアレイにRAMを内蔵させた半導体集積回路装置としては、例えば、日経マグロウヒル社1985年6月3日付「日経エレクトロニクス」No.370、pp.151-177がある。

(発明が解決しようとする問題点)

上記ゲートアレイにRAMを内蔵させた半導体集積回路装置では、ゲートアレイの汎用性のためにゲートアレイからなる論理部がチップの中央に

配置されその周辺にRAMが配置される。

汎用大型コンピュータにおける中央処理装置(CPU)の周辺に用いられる超高速メモリ(バッファストレージ、コントロールストレージ)や、スーパーコンピュータのベクトルレジスタ等は、その高速アクセス化がシステム性能の向上に大きな意義を持つ。従来の超高速メモリは、RAMとそれを制御する論理回路とが別々の半導体集積回路装置から構成されていたため、半導体集積回路装置の相互における配線での信号伝播遅延時間及び入出力バッファでの回路遅延によって高速化には限界がある。そこで、上記のようにゲートアレイからなる論理回路とRAMとからなる半導体集積回路装置を利用する考えられる。しかしながら、上記の半導体集積回路装置では、高速化に関しては配慮がなされておらず、専ら汎用性や高集成化のためにRAM部と論理部とに分けて配置するのみである。このような構成にあっては、RAM部と論理部との間の配線経路が比較的長くされる結果、半導体集積回路内部での信号伝播遅延時間によってそれほど高速化が図れない。

この発明の目的は、RAMアクセスの高速化を実現した半導体集積回路装置を提供することにある。

この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

#### 〔問題点を解決するための手段〕

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、複数ビットの記憶容量を持つメモリ回路を中心としてそれとの信号授受を行う論理回路を信号の種類に応じた論理回路を分割するとともに、その信号伝達経路が最短距離となるようにそれぞれ配置する。

#### 〔作用〕

上記した手段によれば、信号伝達経路が最短にしてそこで信号伝播遅延時間を小さくできるから、RAMの高速アクセスが可能になる。

#### 〔実施例1〕

第1図には、この発明をスーパーコンピュータ等に用いられるベクトルレジスタに適用した場合の一実施例のプロック図が示されている。

同図において、破線で囲まれた部分は、1つの半導体集積回路装置LSIを構成し、公知の半導体集積回路の製造技術によって、特に制限されないが、単結晶シリコンのような1個の半導体基板上において形成される。同図の各回路ブロックは、半導体集積回路装置における実際の幾何学的な配置に合わせて描かれている。

この実施例では、レジスタとして機能をRAMにより実現する。RAMは、RAM1A, RAM1B及びRAM2A, RAM2Bの2組からなる合計4個のRAMにより構成される。上記1つの組を構成するRAM1AとRAM1B及び他の組を構成するRAM2AとRAM2Bとは、左右対称的に配置される。それぞれの組のRAM1AとRAM1B及びRAM2AとRAM2Bは、縦方向に並べて配置される。それ故、RAM1Aと1Bは、そのブロックの右側にアドレス入力端子が配置され、RAM2Aと2Bは、そのブロックの左側にアドレス入力端子が配置されることになる。したがって、上記2つの組のRAMの間の中央部分をアドレス信号線が縦方向にそれぞれ延長されるよう配置される。上記1つの組のRAM1AとRAM1Bに対応したアドレス信号線には、セレクタSEL1から上記RAM1AとRAM1Bに対して共通にアドレス信号が供給される。上記他の1つの組のRAM2AとRAM2Bに対応したアドレス信号線には、セレクタSEL2から上記RAM2AとRAM2Bに対して共通にアドレス信号が供給される。それ故、セレクタSEL1とSEL2は、上記RAM1Aと2Aの上部に左右対称的に配置される。

上記セレクタSEL1には、その上部に配置された2つの入力回路INC1とINC2からアドレス信号が供給される。上記セレクタSEL2には、上記同様に配置された2つの入力回路INC2とINC3からアドレス信号が供給される。それ故、上記2つのセレクタSEL1とSEL2に

共通にアドレス信号を供給する入力回路INC2は、入力回路INC1とINC3の間に配置され、入力回路INC1とINC3は、入力回路INC2を中心として、上記セレクタSEL1とSEL2の配置に合わせて左右対称的に配置される。

上記入力回路INC1には、その上部に設けられる半導体集積回路装置LSIの外部端子から、入力信号IN1としてのアドレス信号A1が供給される。このアドレス信号A1は、RAM1AとRAM1Bの読み出し用のアドレス信号RADとされる。上記入力回路INC2には、その上部に設けられる半導体集積回路装置LSIの外部端子から、入力信号IN2としてのアドレス信号A2が供給される。このアドレス信号A2は、RAM1AとRAM1B及びRAM2AとRAM2Bの書き込み用のアドレス信号WADとされる。上記入力回路INC1には、その上部に設けられる半導体集積回路装置LSIの外部端子から、入力信号IN3としてのアドレス信号A3が供給される。このアドレス信号A3は、RAM2AとRAM2

Bの読み出し用のアドレス信号RADとされる。

上記のように半導体集積回路装置LSIの左側に配置される上記RAM1AとRAM1Bの左側には、出力セレクタSEL01が設けられる。出力セレクタSEL01は、図示しない制御信号によってRAM1A又はRAM1Bの読み出し信号を半導体集積回路装置LSIの左側に設けられる外部端子OUT1へ送出する。上記のように半導体集積回路装置LSIの右側に配置される上記RAM2AとRAM2Bの右側には、出力セレクタSEL02が設けられる。出力セレクタSEL02は、図示しない制御信号によってRAM2A又はRAM2Bの読み出し信号を半導体集積回路装置LSIの右側に設けられる外部端子OUT2へ送出する。

上記RAM1BとRAM2Bの下側における半導体集積回路装置LSIの下側部には、入力回路INC4が配置される。この入力回路INC4は、その下側である半導体集積回路装置LSIの下側に設けられる書き込み用の入力信号IN4を受け

て、書き込み信号を上記RAM1B、RAM1A及びRAM2B、RAM2Aに供給する。

上記のように書き込み用のアドレス信号は、セレクタSEL1とSEL2によって、RAM1A、RAM1B又はRAM2A、RAM2Bに供給されるから、書き込み動作は、2組のRAM1A、RAM1B又はRAM2A、RAM2Bに対して選択的に行われる。これに対して、読み出し用のアドレス信号は、上記2組のRAM1A、RAM1B又はRAM2A、RAM2Bに対してそれぞれ供給されるから、上記のような2組のRAMを選択的に、あるいは同時に読み出すことが可能となる。

また、それぞれの組における2つのRAM1AとRAM1B及びRAM2AとRAM2Bの読み出し信号は、出力セレクタSEL01とSEL02により選択的に出力される。このような合計4つのRAMに対するアクセスによって、ベクトル計算等が高速に行われる。ベクトル計算のための動作モードそのものは、本発明には直接関係がな

いこと及びベクトルレジスタそのものの機能は、スーパーコンピュータ等において公知であるのでその詳細な説明を省略する。

この実施例の半導体集積回路装置LSIでは、RAMを中心として、それに供給される信号の種類に応じて論理回路が上述のように分割される。そして、上記信号のうち、アドレス信号の伝播を行う論理回路は、読み出し用のアドレス信号と書き込み用のアドレス信号を受ける入力回路INC1ないしINC3と、上記入力回路INC1ないしINC3の出力信号を受けて上記2組のRAMに伝えるセレクタSEL1、SEL2に分けられ、それぞれの信号に対応した外部端子IN1ないしIN3を含めて2組のRAMに到達するまでの信号伝播経路が最も短くなるように配置される。すなわち、半導体集積回路装置LSIの上部に設けられるアドレス信号端子からの信号が上から下に向かって入力回路INC1～INC3及びセレクタSEL1、SEL2を介してRAM1A、RAM1B及びRAM2A、RAM2Bに伝えられる。

この場合、2組のRAM1A、RAM1BとRAM2A、RAM2Bの各信号端子の配置を左右対称的に配置するものであるため、アドレス信号線は、2組のRAMの中央を走るように配置される。これにより、2組のRAMの読み出し信号端子は、上記のように左側に配置されるRAM1AとRAM1Bの左側に、右側に配置されるRAM2AとRAM2Bの右側にそれぞれ出力セレタクSEL01とSEL02が配置される。したがって、RAM1AとRAM1Bからの読み出し信号は、半導体集積回路装置LSIの左側に配置される出力端子OUT1から送出され、RAM2AとRAM2Bからの読み出し信号は、半導体集積回路装置LSIの右側に配置される出力端子OUT2から送出される。それ故、RAMからの読み出し信号経路も最短にことができる。

また、RAMへの書き込み信号経路は、半導体集積回路装置LSIの下側に設けられる入力回路INC4を介したものとすることができるから、上記同様にRAMへの書き込み信号経路も最短に

る。論理回路LOGAは、半導体集積回路装置LSIの上部に設けられる入力端子IN1から書き込みデータD等を受けて、それを中心として左右に配置されるRAM1とRAM3に、書き込みデータ及び制御信号を供給する。制御信号は、RAM1又はRAM3の選択を行う選択信号CSや書き込み／読み出し動作を指示する制御信号WE等が含まれる。上記RAM1又はRAM3の選択を指示するための実質的なアドレス信号が上記制御信号とともに供給される。論理回路LOGBは、上記論理回路LOGAの中を通って上記同様な書き込みデータと制御信号が供給される。論理回路LOGBを中心として左右にRAM2とRAM4とが配置され、上記同様に書き込みデータと制御信号が供給される。上記のように、論理回路LOGAと論理回路LOGBとに分割したのは、上記RAM3とRAM4にアドレス信号を供給するアドレス信号線を、半導体集積回路装置の中央を横方向に延長して配置するためである。

アドレス信号ADは、特に制限されないが、半

することができる。

以上のようにRAMのアクセスを行う論理回路をその伝達すべき信号の種類に応じて分割するとともに、その配置をRAMを中心として各信号の信号伝播経路が最も短くなるように最適とすることによって、RAMアクセスの高速化が可能になるものである。

#### (実施例2)

第2図には、この発明を汎用大型コンピュータ等に用いられるバッファストレージに適用した場合の一実施例のブロック図が示されている。

同図において、破線で囲まれた部分は、前記同様に1つの半導体集積回路装置LSIを構成し、公知の半導体集積回路の製造技術によって、特に制限されないが、単結晶シリコンのような1個の半導体基板上において形成される。同図の各回路ブロックは、半導体集積回路装置における実際の幾何学的な配置に合わせて描かれている。

論理回路LOGAとLOGBは、半導体集積回路装置LSIの中央部に縦方向に並んで配置され

半導体集積回路装置LSIの左側中央部に配置された外部端子を介してアドレス信号が供給される。このため、図示しないが、必要ならアドレスバッファが設けられる。アドレス信号のビット数が比較的大きくされることによって、アドレスバッファを配置する空間を上記左側の半導体チップ上に形成することが難しいなら、アドレス信号を2つに分割して、半導体集積回路装置LSIの左右両側の中央部にアドレス端子及びアドレス信号線を配置するものとてもよい。上記アドレス信号線が設けられる配線エリアを中心として上下に振り分けられたRAMのアドレス入力端子は、上下対称的に配置される。すなわち、上側に配置されるRAM1とRAM3は、その回路ブロックの下側にアドレス入力端子が配置され、その下側のエリアに横方向に配置されるアドレス信号線が上方向に延びてそれぞれ対応するアドレス入力端子に接続される。逆に、下側に配置されるRAM2とRAM4は、その回路ブロックの上側にアドレス入力端子が配置され、その上側のエリアに上方向に配

置されるアドレス信号線が下方向に延びてそれぞれ対応するアドレス入力端子に接続される。

上記のように論理回路LOGA及びLOGBを中心として左右にRAM1、RAM3及びRAM2、RAM4を配置する構成においては、それぞれ対応するRAM1とRAM3及びRAM2とRAM4は、左右対称的に信号端子が配置される。すなわち、左側のRAM1とRAM2には、その回路ブロックの右側にデータ入力端子と上記制御入力端子が配置され、右側のRAM3とRAM4には、上記の場合とは逆にその回路ブロックの左側にデータ入力端子と上記制御入力端子が配置される。また、左側のRAM1とRAM2には、その回路ブロックの左側にデータ出力端子が配置され、右側のRAM3とRAM4には、上記の場合とは逆にその回路ブロックの右側にデータ出力端子が配置される。

左側のRAM1とRAM2には、その回路ブロックの左側にデータ出力端子が配置され、これに対応して出力論理回路LOGC1、LOGC2が

は読み出しの指示を行う。

RAM1ないしRAM4に対応して設けられる出力論理回路LOGC1ないしLOGC4は、特に制限されないが、それに対応するRAM1ないしRAM4の指定されたアドレスからの読み出しデータ又は上記入力信号IN1から供給される書き込みデータのいずれかを選択的に出力する。このような機能を持たせるため、論理回路LOGA及びLOGBから出力される書き込みデータは、それぞれのRAM1ないしRAM4を走る信号線又は上記中央部のアドレス信号が形成される配線エリアを通って各出力論理回路LOGC1ないしLOGC4に伝えられる。

この実施例のバッファストレージにおいても、RAMを中心として、それに供給される信号の種類に応じて論理回路が上述のように分割される。そして、上記信号のうち、アドレス信号の伝播は、半導体集積回路装置の中央を横方向に走るアドレス信号線により行うものとし、これを中心として上下にRAMを振り分ける。また、制御信号と書

設けられる。出力論理回路LOGC1とLOGC2の左側、言い換えるならば、半導体集積回路装置LSIの左側には、上部と下部に振り分けられて、それぞれ対応したデータ出力端子OUT1(D1)、OUT2(D2)が設けられる。上記の場合と逆に、右側のRAM3とRAM4には、その回路ブロックの右側にデータ出力端子が配置され、これに対応して出力論理回路LOGC3、LOGC4が設けられる。出力論理回路LOGC3とLOGC4の右側、言い換えるならば、半導体集積回路装置LSIの右側には、上部と下部に振り分けられて、それぞれ対応したデータ出力端子OUT3(D3)、OUT4(D5)が設けられる。

このバッファストレージでは、論理回路LOGA及びLOGBにより入力信号IN1によって各RAMを選択する選択信号(ブロックセレクト)を発生させて1つのRAMを選び、アドレス信号ADにより指定されたアドレスに対して、上記入力信号IN1から供給されるデータの書き込み又

き込みデータは、半導体集積回路装置LSIの上部中央から供給し、それに対応した論理回路LOGAとLOGBを上下に分割して配置する。そして、それぞれの論理回路LOGAとLOGBを中心として左右にRAMを配置することによって、半導体集積回路装置LSIの上部に設けられる入力端子IN1からの書き込みデータと制御信号が各論理回路LOGAとLOGBを通して最短距離を持ってRAM1ないしRAM4に伝えられる。RAMの読み出し信号端子は、上記のように左側に配置されるRAM1とRAM2の左側に、右側に配置されるRAM3とRAM4の右側にそれぞれ出力用の論理回路LOGC1ないしLOGC4が配置されるから、読み出し信号経路も最短にすることができる。

以上のようにRAMのアクセスを行う論理回路をその伝達すべき信号の種類に応じて分割するとともに、その配置をRAMを中心として各信号の信号伝播経路が最も短くなるように最適とすることによって、RAMアクセスの高速化が可能にな

るものである。

[実施例3]

第3図には、半導体集積回路装置に内蔵されるRAMに対する論理回路の最適配置を一般的に示した一実施例のブロック図である。

例えばRAMを構成する回路ブロックの左側にアドレス入力端子（端子とは、半導体チップ上に幾何学的な端子が設けられるという意味ではなく、アドレス入力信号線という意味であると理解されたい、以下同じ）が配置されると、そこにアドレス信号を供給する論理回路LOG1は、それに対応して1つの独立した回路ブロックとして配置される。上記RAMを構成する回路ブロックの下側にデータ入力端子DIが配置されたなら、書き込みデータを生成する論理回路LOG2は、それに対応して1つの独立した回路ブロックとして配置される。また、上記RAMを構成する回路ブロックの右側にデータ出力端子DOが配置されたなら、読み出しデータを出力させる論理回路LOG3は、それに対応して1つの独立した回路ブロックとし

て配置される。このようにRAMの端子としての信号線に合わせて各回路ブロックを分割するとともに、それに最短距離を持って各回路ブロックを配置するものである。これによって、RAMアクセスのために必要な信号の伝播距離を最短にすることができるから、RAMの高速アクセスを実現できる。

[実施例4]

第4図には、論理回路を構成する論理回路の一実施例の回路図が示されている。第5図には、その等価論理回路図が示されている。この実施例では、論理部の高集積化と高速化を実現するために、ECLゲート回路を基本としたシリーズゲートが用いられる。すなわち、参照電圧Vbb1ないしVbb3のように、1つの参照電圧Vbb1とダイオード形態のトランジスタ又はダイオードの順方向電圧V<sub>sd</sub>(V<sub>s</sub>)だけレベルシフトした3つの参照電圧を用いて、シリーズに論理部を構成するトランジスタを、参照電圧Vbb1に対応した差動形態のトランジスタQ1, Q2及びQ9, Q10、

参照電圧Vbb2に対応した差動形態のトランジスタQ3～Q8及びQ11、参照電圧Vbb3に対応した差動形態のトランジスタQ12, Q13のように多段に接続するとともに、出力部のワイヤード論理を採用するものである。この構成では、論理ゲート回路G1ないしG4からなる複合論理ゲート回路が、上記のようなシリーズゲート回路を用いることによって少ない素子数で構成できるとともに、論理動作を行うための動作電流がトランジスタQ14により形成される定電流のみとなるから低消費電力化も図られる。また、ゲートアレイのように1つの参照電圧Vbb1しか持たないオア(OR)ゲート回路やノア(NOR)ゲート回路の組み合わせから構成される場合に比べて、各ゲート間相互の信号伝達経路を短くできるから、高速化が可能になるものである。

[実施例5]

第6図には、上記RAMの一実施例の回路図が示されている。

この実施例のメモリセルは、特に制限されない

が、高速化のために比較的大きな電流値にされた読み出し電流IRに対する保持電圧の減少を少なくするために、例えばその1つのメモリセルMC00の具体的回路が代表として示されているように、そのベース、コレクタ間が互いに交差結線された駆動NPNトランジスタQ1, Q2と、そのコレクタにそれぞれ設けられたPチャンネル型負荷MOSFETM2, M1と、これらの負荷MOSFETM1, M2に並列形態に設けられたクランプ用ショットキーダイオードSD1, SD2とで構成されたフリップフロップ回路が用いられる。上記負荷MOSFETM1とM2を可変抵抗素子として作用させるために、その基板ゲート、言い換えるならば、チャンネル(バックゲート)領域は、互いに他方のトランジスタQ1, Q2のコレクタに結合される。

すなわち、トランジスタQ1に対応した負荷は、そのコレクタに結合される負荷MOSFETM2とされ、その基板ゲートはトランジスタQ2のコレクタに結合される。同様に、トランジスタQ2

に対応した負荷は、そのコレクタに結合される負荷MOSFET M1とされ、その基板ゲートはトランジスタQ1のコレクタに結合されるものである。また、上記PチャンネルMOSFET M1とM2は、そのチャンネル領域にその実質的な基板と逆導電型であるP型の不純物が選択導入されることによって、実質的にディプレッショングードとして動作させられる。

上記駆動NPNトランジスタQ1, Q2は、特に制限されないが、マルチエミッタ構造とされる。これらのトランジスタQ1, Q2の一方のエミッタは共通化され、後述する保持電流Istを形成する定電流源(図示せず)に接続される。上記トランジスタQ1, Q2の他方のエミッタはメモリセルの入出力端子とされ、代表として示されている一対の相補データ線(ビット線又はディジット線)D0,  $\bar{D}0$ にそれぞれ接続される。なお、上記駆動NPNトランジスタQ1, Q2は、ベース及びコレクタがそれぞれ共通接続された2つのトランジスタにより、それぞれ構成されてもよい。

成される。

上記構成のメモリセルの情報保持状態においては、メモリセルには微小な保持電流Istに従って、例えばトランジスタQ1がオン状態でトランジスタQ2がオフ状態なら、トランジスタQ1のコレクタ保持電圧VC1はロウレベルに、トランジスタQ2のコレクタ保持電圧VC2はハイレベルとなる。上記保持電圧VC2のハイレベルがバックバイアス電圧としてバックゲートに供給されることによって、言い換えるならば、そのソースのバックゲートとの電位がほ×0になることによってMOSFET M2はオフ状態になり比較的大きな抵抗値を持つようになる。これにより、上記トランジスタQ1のコレクタにおける保持電圧VC1のロウレベルは、比較的大きな抵抗値にされるMOSFET M2に上記トランジスタQ1を通して流れる微小電流Istによる電圧降下により決定される。なお、この電圧降下がショットキーダイオードSD1の順方向電圧より大きくなると、ショットキーダイオードSD1がオン状態になって、

上記メモリセルを構成する負荷MOSFET M1, M2のゲート、ソース及びショットキーダイオードSD1, SD2のアノード電極は、共通接続されて代表として示されているワード線W0に接続される。上記代表として示されているメモリセルを中心として、横の行には同様なn+1個のメモリセルが配置され(同図では、ブラックボックスにて1個のメモリセルMC0nのみが示されている)、上記ワード線W0に接続される。この横の行には、上記ワード線W0に対応した保持電流線が設けられており、各メモリセルの駆動トランジスタ(Q1, Q2等)の共通化されたエミッタが共通に接続される。同様に代表として示された他の行(ワード線Wm)についても上記同様にメモリセルMCm0~MCmnが接続される。また、縦の列には、上記同様なm+1個のメモリセルが配置され、相補データ線D0,  $\bar{D}0$ にその入出力端子が共通に接続される。このような行、列に(n+1) × (m+1)個のメモリセルがマトリックス配置され、メモリアレイM-ARYが構成される。

そのレベルクランプを行う。これに対してMOSFET M1は、ソースに対してロウレベルのバックバイアス電圧が供給されることによってオン状態となり、上記ワード線の電位Vxに従ったハイレベルを上記トランジスタQ1のコレクタに伝えるものである。

このことは、比較的大きな電流値の読み出し電流IRを流したときも同様であり、上記読み出し電流IRに対応した比較的大きなベース電流がMOSFET M1に流れるとともに、その抵抗値が比較的小さくされる結果、保持電圧VC2のハイレベルの落ち込みを小さくできるものである。これによって、メモリセルの保持電圧VC1とVC2の直流特性は、読み出し電流IRを大きくしても、ハイレベル側の保持電圧VC2の落ち込みを小さく抑えることが可能となる。

これによって、保持電流Istに対する読み出し電流IRの比を3~4倍程度に大きく設定することができるから、保持状態での低消費電力及び所望の動作マージンを確保しつつ読み出し動作及び

書き込み動作の高速化を図ることができるものである。

代表として示された上記ワード線  $W_0$ ,  $W_m$  は、特に制限されないが、Xアドレスデコーダ X D C R によって形成された選択信号を受けるエミッタ フォロワ形態の駆動トランジスタ Q 5, Q 6 によって、選択／非選択レベルとされる。なお、駆動能力を大きくするために、これらのトランジスタ Q 5, Q 6 等は、ダーリントン形態の 2 つのトランジスタから構成されてもよい。

図示しない適当な論理回路（回路ブロック）から供給されるアドレス信号  $A X_0$  ないし  $A X_k$  は Xアドレスデコーダ X D C R に伝えられる。すなわち、この実施例の RAM では、アドレスバッファが省略され、前述のような論理回路から直接アドレス信号が供給される構成となるため、高速化が可能となる。Xアドレスデコーダ X D C R は、1 つのワード線の選択信号を形成し、そのワード線選択を行う。

代表として示された相補データ線  $D_0$ ,  $\bar{D}_0$  は、

速化が可能となる。Yアドレスデコーダ Y D C R は、上記のようにスイッチとしてのトランジスタをオン状態にして複数組のデータ線の選択動作を行う。

この実施例では、特に制限されないが、非選択時のデータ線に所定のバイアス電圧を与えるために、次のバイアス回路が設けられる。すなわち、N P N トランジスタ Q 11 のコレクタは、回路の接地電位に結合される。このトランジスタ Q 11 のベース、コレクタ間には、直列形態とされたダイオード D と抵抗 R 3 が設けられる。この直列ダイオード D と抵抗 R 3 は、上記カラムスイッチトランジスタと同様なトランジスタ Q 14 を介して上記同様な定電流源 (Q 16, R 6) に接続される。上記トランジスタ Q 11 は、特に制限されないが、マルチエミッタ構造とされ、一対のエミッタはそれぞれ相補データ線  $D_0$ ,  $\bar{D}_0$  に接続される。また、相補データ線  $D_0$ ,  $\bar{D}_0$  は、それぞれ微小定電流源に結合されている。すなわち、定電圧 V B 1 がそのベースに供給され、エミッタに抵抗 R 1, R 2 がそれぞれ設けられた N P N トランジスタ Q 7, Q 8 により、相補データ線  $D_0$ ,  $\bar{D}_0$  に対して常時微小定電流の吸い込み動作を行っている。

カラムスイッチとしてのトランジスタ Q 12, Q 13 を介して、図示しない他の相補データ線に対しても共通に設けられた読み出し／書き込み用の定電流源に接続される。この定電流源は、特に制限されないが、そのベースに定電圧 V B 2 が印加され、そのエミッタに抵抗 R 4, R 5 が設けられたトランジスタ Q 14, Q 15 により構成される。上記カラムスイッチとしてのトランジスタ Q 12, Q 13 のベースには、後述する Yアドレスデコーダ Y D C R の出力信号が供給される。Yアドレスデコーダ Y D C R の出力信号によって、読み出し又は書き込みビット数に応じた複数組ののカラムスイッチとしてのトランジスタがオン状態にされる。

図示しない適当な論理回路（回路ブロック）から供給されるアドレス信号  $A Y_0$  ないし  $A Y_j$  は Yアドレスデコーダ Y D C R に伝える。すなわち、この実施例の RAM では、上記同様にアドレスバッファが省略され、前述のような論理回路から直接アドレス信号が供給される構成となるため、高

速化が可能となる。Yアドレスデコーダ Y D C R は、上記のようにスイッチとしてのトランジスタをオン状態にして複数組のデータ線の選択動作を行う。

これにより、非選択の相補データ線にあっては、カラムスイッチトランジスタ Q 14 等がオフ状態であるから、その電位は、約ダイオード D の順方向電圧とトランジスタ Q 11 のベース、エミッタ間電圧とを加えた電圧にバイアスされるものとなる。なお、相補データ線  $D_0$ ,  $\bar{D}_0$  が選択された時には、上記トランジスタ Q 14 はオン状態にされるので、定電流源により形成された比較的大きな電流がトランジスタ Q 14 を通して抵抗 R 3 に流れる。これによって、トランジスタ Q 11 はオフ状態にされるので、相補データ線  $D_0$ ,  $\bar{D}_0$  は選択されたメモリセルの記憶情報に従った電位にされる。

代表として示された行のメモリセルの書き込み／読み出しのために、相補データ線  $D_0$ ,  $\bar{D}_0$  には、エミッタが結合された電流切り換えスイッチトランジ

ンジスタ Q 9, Q 10 が設けられる。これらのトランジスタ Q 9, Q 10 のコレクタ出力は、センスアンプ SA の一対の入力に伝えられる。センスアンプ SA は、その増幅動作を行うとともに、その出力信号レベルをデータ出力バッファ DOB の入力レベルに合致するレベル変換動作を行う。データ出力回路 DO は、センスアンプ SA からの出力信号を増幅して図示しない論理回路（回路ブロック）へ読み出し信号を送出する。

上記電流切り換えスイッチトランジスタ Q 9, Q 10 のベースには、書き込み回路 WA の出力電圧 V 1, V 2 が印加される。図示しない論理回路（回路ブロック）により形成された書き込みデータは、データ入力回路 DI の入力に供給される。このデータ入力回路 DI は、上記書き込みデータ信号に従った相補データ信号を形成して上記書き込み回路 WA に伝える。

図示しない適当な論理回路により形成された制御信号 WE, CS は、制御回路 CONT に供給される。この制御回路 CONT は、上記各制御信号

から動作モードを判定し、その動作モードに従って上記データ出力回路 DO、書き込み回路 WA に対する内部制御信号を形成する。

例えば、データ出力回路 DO は、信号 WE がハイレベルとされ、信号 CS がロウレベルとされた時動作状態にされる。この時、書き込み回路 WA は、選択されたメモリセルの保持電圧の中間レベルに設定された読み出し基準電圧 Vrefc (V1, V2) を形成して上記トランジスタ Q 9, Q 10 のベースに伝える。この動作モードでは、データ出力回路 DO は、センスアンプ SA からの増幅信号に受けて出力信号を形成する。

信号 CS がロウレベルとされ、信号 WE がロウレベルとされた時、書き込み回路 WA は、このとき動作状態にされるデータ入力回路 DI を通して端子 D10 から供給された書き込みデータ信号に従った書き込みハイレベル、ロウレベル信号を形成して、上記トランジスタ Q 9, Q 10 のベースに伝える。上記書き込み回路 WA により形成された書き込みハイレベル、ロウレベル信号 (V1, V2) は、特に

制限されないが、それぞれ選択状態におけるメモリセルの保持電圧のハイレベルより高く、上記保持電圧のロウレベルより低く設定される。これによって、選択されたメモリセルの駆動トランジスタは、上記書き込み信号に従ってオン／オフ状態に切り換えられる。

また、信号 CS がハイレベルにされる RAM 非選択状態においては、上記制御回路 CONT は、選択信号 c<sub>3</sub> を Y アドレスデコーダ YDCR の選択信号より高いレベルにする。この選択信号 c<sub>3</sub> は、RAM 非選択状態の時にメモリアレイ M-A RY のメモリセルに流れる書き込み／読み出し用の定電流が流れるのを禁止するために用いられる。すなわち、特に制限されないが、各相補データ線に対して共通に設けられた定電流源により形成された定電流をバイパスさせるトランジスタ Q 17 ~ Q 19 のベースに供給される。これらのトランジスタ Q 17 ~ Q 19 は、そのコレクタが回路の接地電位に結合される。これらのトランジスタ Q 17 ~ Q 19 のエミッタは、それぞれ上記定電流

源を構成するトランジスタ Q 14 ~ Q 16 のコレクタに接続される。これによって、これらのトランジスタ Q 17 ~ Q 19 は、カラムスイッチトランジスタ Q 12 ~ Q 14 等と差動形態にされ、定電流源の電流を上記選択信号 c<sub>3</sub> のレベルに従って選択的に流すようになるものである。なお、上記信号 CS ロウレベルにされる書き込み／読み出しモードの時には、上記選択信号 c<sub>3</sub> は、上記 Y アドレスデコーダ YDCR によって形成される選択信号より低いレベルにされる。RAM 選択状態の時には、選択信号 c<sub>3</sub> のレベルが Y アドレスデコーダ YDCR によって形成された選択信号より低いレベルにされるので、上記トランジスタ Q 17 ~ Q 19 はオフ状態にされる。

上記の実施例から得られる作用効果は、下記の通りである。すなわち、

1) 複数ビットの記憶容量を持つ RAMを中心としてそれとの信号授受を行う論理回路を信号の種類に応じた論理回路を分割するとともに、その信号伝送経路が最短距離となるようにそれぞれ配置す

ることにより、信号伝達経路が最短にしてそこで信号伝播遅延時間を小さくできる結果、RAMの高速アクセス化が可能になるという効果が得られる。

(ii) 上記RAMをアクセスするための信号を形成する論理回路を同一半導体集積回路に構成することにより、RAMに対する入出力バッファが不要になり、そこで発生する信号伝播遅延時間が実質的になくなるから、上記(i)の効果と相俟っていっそりの高速化を実現できるという効果が得られる。即複数ビットの記憶容量を持つRAMを中心としてそれとの信号授受を行う論理回路を信号の種類に応じた論理回路を分割するとともに、その信号伝達経路が最短距離となるようにそれぞれ配置するというレイアウトの変更によって簡単にRAMの高速化が可能になるという効果が得られる。

(4) 論理部としてシリーズゲートを用いることにより、高速化及び高集成化が可能になるという効果が得られる。

以上本発明者によってなされた発明を実施例に

を持つRAMを中心としてそれとの信号授受を行う論理回路を信号の種類に応じた論理回路を分割するとともに、その信号伝達経路が最短距離となるようにそれぞれ配置することにより、信号伝達経路が最短にしてそこで信号伝播遅延時間を小さくできる結果、RAMの高速アクセス化が可能になる。

#### 4. 図面の簡単な説明

第1図は、この発明をベクトルレジスタに適用した場合の一実施例を示すブロック図。

第2図は、この発明をバッファストレージに適用した場合の一実施例を示すブロック図。

第3図は、RAMとそれに対応した論理回路の一般的な配置を説明するためのブロック図。

第4図は、論理回路の一実施例を示す具体的回路図。

第5図は、その等価論理回路図。

第6図は、RAMの一実施例を示す具体的回路図である。

L S I ... 半導体集積回路装置、RAM1A,

基づき具体的に説明したが、この発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、RAMとそれを中心として配置される論理回路の分割は、RAMをどのようにアクセスするかに応じて決められ、その配置は前記のように信号伝播距離が最短になるようにすることを条件として種々の变形例を探ることができるものである。

また、各論理回路やRAMの具体的構成は、前記のようにECL構成のものを用いるものの他、CMOS回路等を用いるものあるいはその組み合わせから構成されるものであってもよい。

この発明は、RAMとそれをアクセスするための論理回路を含む各種半導体集積回路装置に広く利用できるものである。

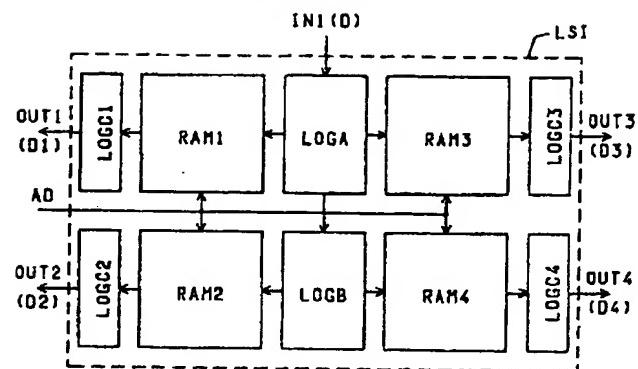
#### 【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、複数ビットの記憶容量

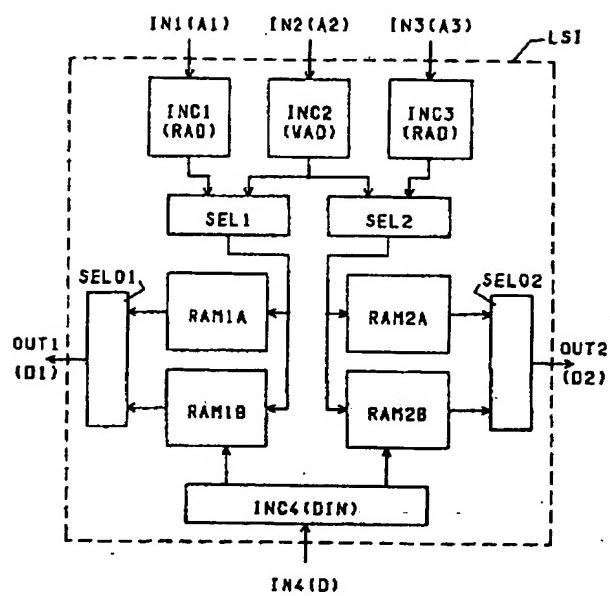
RAM1B, RAM2A, RAM2B, RAM1~RAM4...ランダム・アクセス・メモリ、INC1~INC4...入力回路、SEL1, SEL2...セレクタ、SELO1, SELO2...出力セレクタ、LOGA, LOGB...入力論理回路、LOGC1~LOGC4...出力論理回路、LOG1~LOG3...論理回路、MC00~MCmn...メモリセル、XDCR...Xアドレスデコーダ、YDCR...Yアドレスデコーダ、SA...センスアンプ、WA...書き込み回路、DO...データ出力回路、DI...データ入力回路、CONT...制御回路

代理人弁理士 德若 光政

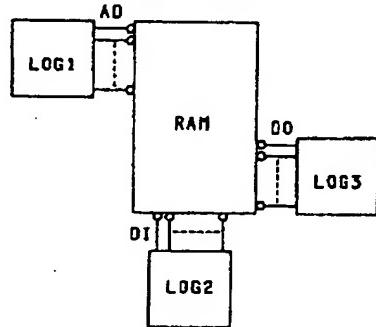
第 2 図



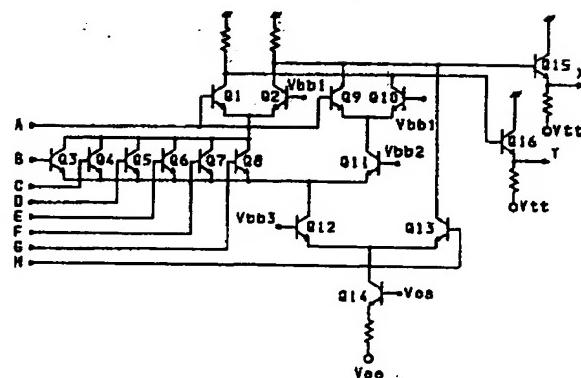
第 1 図



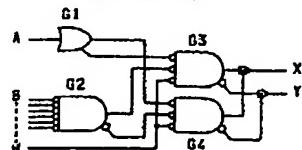
第 3 図



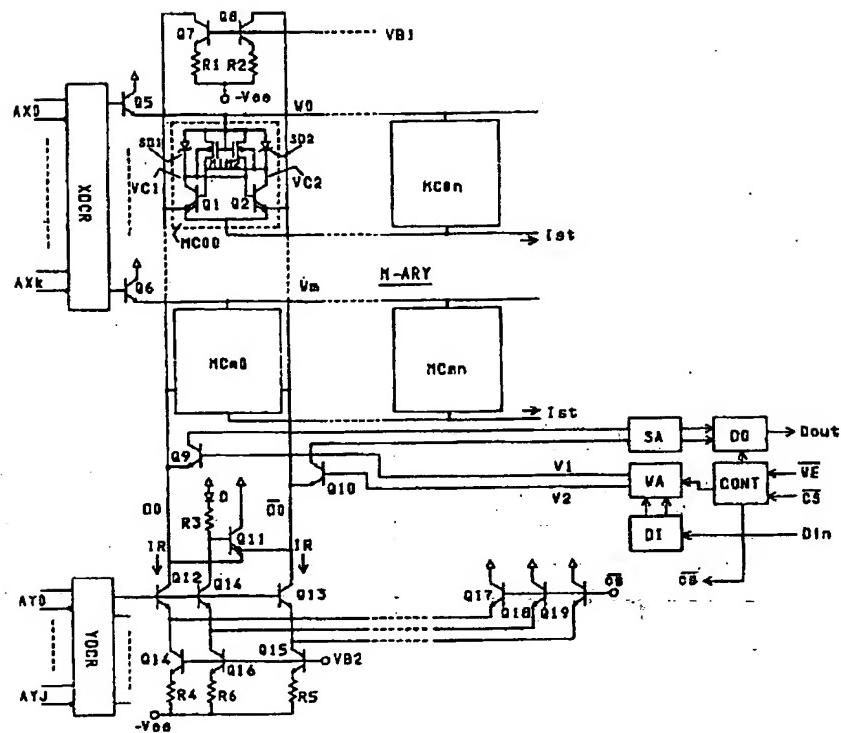
第 4 図



第 5 図



第 6 図



第1頁の続き

⑤ Int. Ch.

H 01 L 27/10  
H 03 K 19/173

識別記号

序内整理番号

8624-5F  
7328-5J

◎發明者阿部

仁 神奈川県秦野市堀山下1番地 株式会社日立製作所神奈川  
工場内

◎著 明 者 柏 山 正 守

神奈川県秦野市堀山下1番地 株式会社日立製作所神奈川工場内

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record.**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**